

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

010904657      **\*\*Image available\*\***

WPI Acc No: 1996-401608/199640

Related WPI Acc No: 1996-121662

XRAM Acc No: C96-126242

XRPX Acc No: N96-338368

**High performance crystalline silicon semiconductor film - produced by a low temp. heat treatment and by using a catalyst element to accelerate crystallisation**

Patent Assignee: SHARP KK (SHAF )

Inventor: FUNAI T; MAKITA N; YAMAMOTO Y; MORITA T

Number of Countries: 004    Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 5550070	A	19960827	US 94357653	A	19941216	199640. B
JP 7192998	A	19950728	JP 93331626	A	19931227	199640
CN 1109213	A	19950927	CN 94112771	A	19941227	199734
KR 156020	B1	19981201	KR 9439279	A	19941227	200032

Priority Applications (No Type Date): JP 94144967 A 19940627; JP 93331626 A 19931227

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 5550070	A	24	H01L-021/336	
JP 7192998	A	9	H01L-021/20	
CN 1109213	A		H01L-021/20	
KR 156020	B1		H01L-021/26	

Abstract (Basic): US 5550070 A

Producing a semiconductor film comprises: (a) forming an amorphous semiconductor film on a substrate having a surface with an insulating property; (b) introducing a material for accelerating crystallisation of the amorphous semiconductor film into a part of the amorphous semiconductor film; (c) crystallising the amorphous semiconductor film by heating to obtain a crystalline semiconductor film from the amorphous film; (d) oxidn. a surface of the crystalline semiconductor film to form a semiconductor oxide film contg. a part of the material for accelerating the crystallisation on the surface of the crystalline semiconductor film; (e) removing the semiconductor oxide film.

USE - Producing a semiconductor film in partic. for a TFT used for, e.g. an active matrix type LCD, an image sensor.

ADVANTAGE - Crystallisation is accelerated by heat treatment at a low temp. for a short time reducing crystal boundary effects; high performance film with excellent reliability, and electrical stability.

Dwg.5/22

Title Terms: HIGH; PERFORMANCE; CRYSTAL; SILICON; SEMICONDUCTOR; FILM;

PRODUCE; LOW; TEMPERATURE; HEAT; TREAT; CATALYST; ELEMENT;  
ACCELERATE;  
CRYSTAL

Derwent Class: L03; Q77; U11; U14

International Patent Class (Main): H01L-021/20; H01L-021/26; H01L-021/336

International Patent Class (Additional): H01L-021/265; H01L-021/3065;  
H01L-021/316; H01L-021/322; H01L-029/786

File Segment: CPI; EPI; EngPI

04900398      \*\*Image available\*\*  
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:      07-192998 [JP 7192998 A]  
PUBLISHED:      July 28, 1995 (19950728)  
INVENTOR(s):   FUNAI TAKASHI  
                 MAKITA NAOKI  
                 YAMAMOTO YOSHITAKA  
                 MORITA TATSUO  
APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
                 (Japan)  
APPL. NO.:      05-331626 [JP 93331626]  
FILED:          December 27, 1993 (19931227)  
INTL CLASS:     [6] H01L-021/20; H01L-021/3065; H01L-021/316; H01L-029/786;  
                 H01L-021/336  
JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components); 44.9  
                 (COMMUNICATION -- Other)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --  
Metal  
                 Oxide Semiconductors, MOS)

#### ABSTRACT

PURPOSE: To remove a metal element in a crystalline silicon film and to reduce the concentration of the metal element in the film by a method wherein the metal element is taken into an oxide film by forcibly oxidizing the surface of the crystalline silicon film and the oxide film is etched and removed.

CONSTITUTION: The surface of a crystalline silicon film 111 is oxidized. A metal element contained in the crystalline silicon film 111 is taken into an oxide film 114 formed at this time, and a metal-element injected region 116, a crystalline silicon region 117 and a crystal-grown end part 118 are set respectively to a low concentration. After that, the oxide film 114 is etched off completely together with the metal element which has been taken into. Then, the concentration of an impurity metal in the crystalline silicon film 111 is lowered. Thereby, it is possible to obtain the crystalline silicon film of high quality, and a semiconductor device which is provided with a high-performance and stable-characteristic semiconductor element is realized by using the film.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-192998

(43) 公開日 平成7年(1995)7月28日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 21/20

8418-4M

21/3065

21/316

U 7352-4M

H01L 21/302

N

9056-4M

29/78

311

Y

審査請求 未請求 請求項の数16 O L (全9頁) 最終頁に続く

(21) 出願番号

特願平5-331626

(22) 出願日

平成5年(1993)12月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 船井 尚

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 山元 良高

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 梅田 勝

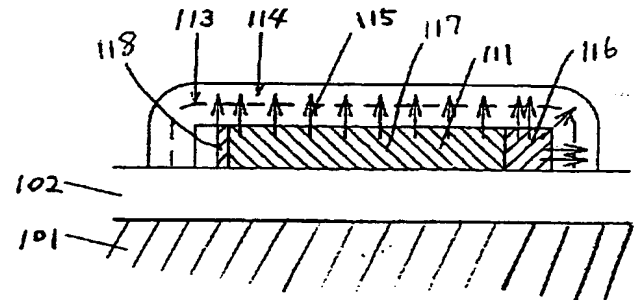
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 高品質な結晶性シリコン膜を基板全面にわたって作製し、高性能で安定した特性の半導体素子を実現するための半導体装置の製造方法を提供する。

【構成】 非晶質シリコン膜にその結晶化を助長する金属元素を導入し、加熱処理により前記非晶質シリコン膜を結晶化する。前記工程において結晶化した結晶性シリコン膜の表面を強制的に酸化させ、被酸化部分をエッチングして除去することにより、結晶性シリコン膜中の不純物および結晶性シリコン膜表面の汚染物質の除去が同時に行え、高品質な結晶性シリコン膜を得ることができる。



## 【特許請求の範囲】

【請求項 1】 絶縁性表面を有する基板上に実質的な非晶質シリコン膜を形成する工程と、前記工程の前または後において、結晶化を助長する金属元素を前記非晶質シリコン膜の一部に選択的に導入する工程と、加熱によって前記非晶質シリコン膜を前記金属元素が選択的に導入された領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記工程において結晶化した結晶性シリコン膜の表面を強制的に酸化させる工程と、前記結晶性シリコン膜表面の被酸化部分をエッチングして除去する工程とを少なくとも有し、前記工程における結晶性シリコン膜を素子形成領域とすることを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 において、結晶性シリコン膜表面の酸化を塩化水素ガス雰囲気中での加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 において、結晶性シリコン膜表面の酸化を水蒸気雰囲気中または水蒸気を含む窒素雰囲気中での加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 において、結晶性シリコン膜表面の酸化を硝酸、亜硝酸、過マンガン酸、クロム酸、塩素酸、次亜塩素酸などのオキソ酸の内のいずれかを用いて行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 において、結晶性シリコン膜表面の酸化を硝酸、亜硝酸、過マンガン酸、クロム酸、塩素酸、次亜塩素酸などのオキソ酸の内のいずれかの塩の溶液を用いて行うことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 において、結晶性シリコン膜表面の酸化を熱濃硫酸を用いて行うことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 において、結晶性シリコン膜表面の酸化を塩素、臭素などのハロゲンガス雰囲気中での加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 において、結晶性シリコン膜表面の酸化を硝酸ガス雰囲気中での 650℃ 以下の温度による加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 において、結晶性シリコン膜表面の酸化を酸素雰囲気中または酸素混合雰囲気中での 650℃ 以下の温度による加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 1 において、結晶性シリコン膜表面の酸化を RF プラズマ、マイクロ波プラズマ、ECR プラズマなどのプラズマ雰囲気中での加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 において、結晶性シリコン膜表面の酸化を 2.5 気圧程度の高圧のオキシダント雰囲気

中での加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 において、結晶性シリコン膜表面の酸化を 2.5 気圧程度の高圧の加熱水蒸気雰囲気中での加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 1 において、結晶性シリコン膜表面の酸化を紫外線照射下の N<sub>2</sub> O ガス雰囲気中での 500℃ 以上の温度による加熱により行うことを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 1 において、結晶性シリコン膜中のキャリアの移動する方向と、結晶成長方向とが概略平行となるように半導体素子を構成することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 1 において、結晶性シリコン膜中のキャリアの移動する方向と、結晶成長方向とが概略垂直となるように半導体素子を構成することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 1 において、金属元素として Ni、Co、Pd、Pt の中から選ばれた少なくとも一つの材料を用いることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、結晶性シリコン膜を用いた半導体装置の製造方法に係わり、特に、アクティブマトリクス型液晶表示装置等に用いられるガラス等の絶縁基板上の薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 近年、大型あるいは高解像度のアクティブマトリクス型液晶表示装置や高解像度のイメージセンサー等に用いるため、ガラスや石英等の絶縁基板上に高性能な半導体素子を形成する技術が求められている。

【0003】 これらの半導体素子としては薄膜トランジスタが知られており、素子材には薄膜状のシリコン半導体を用いるのが一般的である。薄膜状のシリコン半導体としては、非晶質シリコン半導体からなるものと結晶性を有するシリコン半導体からなるものに大別される。非晶質シリコン半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。しかし導電性等の物性が結晶性を有するシリコン半導体に比べて劣るため、半導体素子の特性を更に向上するためには、結晶性を有するシリコン半導体を素子材とする半導体素子の作製方法を確立する必要がある。尚、結晶性を有するシリコン半導体としては、多結晶シリコン、微結晶シリコン、結晶成分を含む非晶質シリコン、結晶性と非晶質性の中間の状態を有するセミアモルファスシリコン等が知られている。

【0004】 これら結晶性を有する薄膜状のシリコン半導体を得る方法としては、成膜時に結晶性を有するシリ

コン膜を直接基板上に成膜する方法や、非晶質シリコン膜を基板上に成膜し、レーザー光を照射してそのエネルギーにより結晶化する方法が知られてる。前者の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性シリコン膜を得るためにはシリコン膜の厚膜化が不可欠であり、良好な半導体物性を有する結晶性シリコン膜を基板上に全面に渡って均一に成膜することが困難であるばかりでなく、成膜温度が600℃以上の高温となるため安価なガラス基板が使用できないという問題がある。後者の方法では、熔融固化過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、高品質な結晶性シリコン膜が得られるが、大面積基板の全面に結晶性シリコン膜を均一に成膜するためにはレーザー光の照射面積が小さいためスループットが低い、あるいはレーザー光の安定性が充分でない等解決すべき課題が多い。

【0005】そこで、現在最も実用的と考えられている方法に非晶質シリコン膜に熱エネルギーを加え固相結晶化させる方法がある。この方法は上述の方法と比較して大面積基板上に均一に薄膜状の結晶性シリコン膜を作製

【0006】従来、この固相結晶化方法において特願平5-218156号では、結晶成長の核としてニッケル等の金属元素を非晶質シリコン膜に導入することにより、結晶化初期の核生成速度とその後の核成長速度を向上し、580℃以下の温度で4時間程度の加熱処理で十分な結晶性が得られることが開示されている。さらに、その後加熱処理を継続させると、選択的に金属元素が導入され結晶化している部分から、その周辺部の非晶質部分へと横方向、即ち基板面に平行な方向に結晶成長部分が延びる現象が起きる。この部分では基板と平行に針状あるいは柱状の結晶が成長方向に沿って延びており、その成長方向において結晶粒界が存在しない。このメカニズムは現状では明らかではないが、不純物として非晶質シリコン膜に導入した金属元素を核とした結晶核発生が早期に起こり、その後その金属元素が触媒となって結晶成長が急激に進行するものと推測されている。この結晶成長部を利用して半導体素子のチャネル領域を形成することにより、高性能な半導体素子が実現可能となる。また、基板の一部に選択的に金属元素を導入することにより、レーザー光による結晶化のように同一基板内に選択的に結晶性シリコン膜と非晶質シリコン膜とを形成することが可能となる。

【0007】図15は上述の結晶成長部分を利用した薄膜トランジスタを基板上面から見た場合の平面図である。基板全面に形成された非晶質シリコン膜上に酸化シリコン膜等からなるマスク層を堆積し、そのマスク層に金属元素添加用の窓200を開け、金属元素を導入する。次に約550℃の温度で4時間程度の熱処理を行うと、金属元素添加領域201が結晶化し、それ以外の部

分が非晶質シリコンのままに残る。さらに8時間程度熱処理を継続すると、金属元素添加領域201を中心として結晶成長方向202で横方向結晶成長が拡がり、結晶成長部分203が形成される。その後、この結晶成長部分203を利用して従来の方法に従い薄膜トランジスタを作製する。その際、結晶成長部分203に対しソース領域204、チャネル領域205、ドレイン領域206を図15のような配置で設けることにより、キャリアが移動する方向と結晶成長方向202が同一方向となり、キャリアの移動方向に対して結晶粒界が存在しない半導体素子が実現できる。また、図16に示すように結晶成長部分203に対しソース領域204、チャネル領域205、ドレイン領域206を配置することにより、ドレイン端部の電界集中領域での粒界部分をなくし、半導体素子動作時の特性劣化の原因となるドレイン端部での粒界トラップ密度を低減することでオンオフ比の大きい半導体素子が作製可能となる。

【0008】

【発明が解決しようとする課題】上述の従来例においては、非晶質シリコン膜中に注入された金属元素が触媒的な働きをして非晶質シリコン膜の結晶化を促進する役割を果たす。しかしこの金属元素は同時に不純物として基板と平行に成長した針状あるいは柱状の結晶粒界部分に金属元素高濃度領域を形成する。従って従来例による結晶性シリコン膜を用いて半導体素子を作製すると、金属元素高濃度領域を介してソース・ドレイン間にリーク電流が流れるため、図15に示したような配置で結晶成長部分203に対しソース領域204、チャネル領域205、ドレイン領域206を設けた場合、半導体素子のオフ動作時のリーク電流増大の原因となり、結果としてオンオフ比の小さい半導体素子しか得られない。

【0009】また、結晶性シリコン膜を用いて半導体素子を作製する際に、ドナーまたはアクセプタとなる不純物イオンの注入後にエキシマレーザ等を用いて不純物イオンの活性化処理を行う場合、上述の結晶成長の成長端や、結晶粒界部分に存在する金属元素高濃度領域はレーザの吸収係数が大きいため、この部分で結晶性シリコン膜表面の表面荒れが発生しやすくなる。従って、照射するレーザのパワー密度の範囲が制限されることになり、ドナー又はアクセプタ不純物イオンの活性化が十分に行えなくなる。

【0010】さらに従来例では、結晶性シリコン膜中に金属元素が混在しているために、コンタクトホールの開ロエッチング時に耐侵食性が悪く、エッチングダメージによるコンタクト不良の原因となる。

【0011】

【課題を解決するための手段】本発明は、上述の問題を解決する手段を提供するものである。より具体的には従来例における結晶性シリコン膜中に存在する金属元素を、結晶性シリコン膜の表面を強制的に酸化させること

によって酸化膜中に取り込み、その酸化膜をエッチングして除去することによって金属元素を取り除き、結果として結晶性シリコン膜中の残留金属元素濃度の低減を行い、上述の問題点を解決するものである。

【0012】即ち、絶縁性表面を有する基板上に実質的な非晶質シリコン膜を形成する工程と、前記工程の前または後において、結晶化を助長する金属元素を前記非晶質シリコン膜の一部に選択的に導入する工程と、加熱によって前記非晶質シリコン膜を前記金属元素が選択的に導入された領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程と、前記工程において結晶化した結晶性シリコン膜の表面を強制的に酸化させる工程と、前記結晶性シリコン膜表面の被酸化部分をエッチングして除去する工程とを少なくとも有し、前記工程における結晶性シリコン膜を素子形成領域とすることを特徴とする。

【0013】また、本発明は結晶性シリコン膜表面の酸化を塩化水素ガス雰囲気中での加熱により行うこと、結晶性シリコン膜表面の酸化を水蒸気雰囲気中または水蒸気を含む窒素雰囲気中での加熱により行うこと、結晶性シリコン膜表面の酸化を硝酸、亜硝酸、過マンガン酸、クロム酸、塩素酸、次亜塩素酸などのオキソ酸の内のいずれかを用いて行うこと、結晶性シリコン膜表面の酸化を硝酸、亜硝酸、過マンガン酸、クロム酸、塩素酸、次亜塩素酸などのオキソ酸の内のいずれかの塩の溶液を用いて行うことを特徴とする。

【0014】さらに本発明は、結晶性シリコン膜表面の酸化を熱濃硫酸を用いて行うこと、結晶性シリコン膜表面の酸化を塩素、臭素などのハロゲンガス雰囲気中での加熱により行うこと、結晶性シリコン膜表面の酸化を硝酸ガス雰囲気中での650℃以下の温度による加熱により行うこと、結晶性シリコン膜表面の酸化を酸素雰囲気中または酸素混合雰囲気中での650℃以下の温度による加熱により行うこと、結晶性シリコン膜表面の酸化をRFプラズマ、マイクロ波プラズマ、ECRプラズマなどのプラズマ雰囲気中での加熱により行うこと、結晶性シリコン膜表面の酸化を25気圧程度の高圧のオキシダント雰囲気中での加熱により行うこと、結晶性シリコン膜表面の酸化を25気圧程度の高圧の加熱水蒸気雰囲気中での加熱により行うこと、結晶性シリコン膜表面の酸化を紫外線照射下のN<sub>2</sub>Oガス雰囲気中での500℃以上の温度による加熱により行うこと、結晶性シリコン膜中のキャリアの移動する方向と、結晶成長方向とが概略平行となるように半導体素子を構成すること、結晶性シリコン膜中のキャリアの移動する方向と、結晶成長方向とが概略垂直となるように半導体素子を構成すること、金属元素としてNi、Co、Pd、Ptの中から選ばれた少なくとも一つの材料を用いることを特徴とする。

【0015】

【作用】以下に強制酸化による結晶性シリコン膜中の金

属元素濃度の低減機構について説明する。上述の従来例における結晶性シリコン膜中での金属元素は、金属元素が触媒的な働きをして非晶質シリコン膜の結晶化が進行し、結晶性シリコン膜の結晶成長端部と、金属濃度の高い部分が一致して移動して行くことから明らかなように、金属元素の被注入領域と、シリコン結晶の結晶成長端付近の非晶質部分及び、各結晶間の結晶粒界付近に濃度の高い領域が分布していることは明白である。

【0016】ところで、非晶質シリコンと結晶性シリコンが混在する多結晶シリコン膜において、結晶性シリコンの結晶粒の大きさを電子顕微鏡等で観察する場合、ニクロム酸カリウムと硝酸とフッ酸の混合溶液を用いて処理を行うと非晶質部分がエッチング除去されて結晶性シリコンの結晶粒が観測しやすくなる。混合溶液のうちニクロム酸カリウムと硝酸は強力な酸化作用をもち、シリコン膜を酸化した後、フッ酸成分によってエッチング除去するもので、非晶質部分と結晶質部分とを比較すると、非晶質部分の方が酸化されやすいためエッチングレートが速い。このように、非晶質シリコンと結晶性シリコンを比較した場合、非晶質シリコンの方が酸化されやすいことが一般に知られている。

【0017】上述の二つの事実から従来例による結晶性シリコン膜においては、その表面を強制的に酸化する工程により、金属元素濃度の高い結晶成長端部分や結晶粒界部分での酸化が、結晶質部分に比べて速く進行し、金属元素を含む酸化膜が形成される。次いでその酸化膜のエッチング除去を行う工程により、酸化膜が金属元素と共に取り除かれるため、結果として結晶性シリコン膜中の金属元素濃度を大幅に低減することができる。本発明による結晶性シリコン膜を用い、結晶の成長方向に沿ってソース・ドレイン領域を形成することによって、キャリアの移動が粒界の影響を受けない高移動度を有する半導体素子を得ることができ、結晶成長方向に垂直な方向にソース・ドレイン領域を形成することにより、ドレイン端部での電界集中領域の粒界部分をなくすことでオフ電流の小さい半導体素子を得ることができる。

【0018】さらに、本発明を結晶性シリコン基板に対して適用することにより、結晶性シリコン膜表面に付着している有機物等の半導体素子作製時に特性劣化の要因となり得る表面汚染物質を同時に清浄化できることは言うまでもない。

【0019】

【実施例】

（実施例1）本発明の実施例を薄膜トランジスタの製造方法を例に図を用いて説明する。図1～図14は薄膜トランジスタの製造方法をプロセス順に示した断面図である。

【0020】図1に示すように、絶縁性表面を有する基板、例えばガラス基板101の表面を洗浄後、ベースコート膜102として二酸化シリコン膜をスパッタリング

装置を用いて厚さ200nm程度堆積させる。このベースコート膜102の必要膜厚は基板の表面状態によって異なり、十分に平坦で、且つナトリウムイオン等の半導体特性に悪影響を与えるイオンの濃度が十分に低い基板であれば、省略することも可能であり、逆に表面の状態が傷や凹凸の激しいものであれば上述の膜厚よりも厚く堆積させる必要がある。ベースコート膜上に化学的気相成長法(CVD法)やスパッタリング法をもちいて非晶質状のシリコン膜103を100nm程度の厚さに堆積させる。次に図2に示すように、非晶質シリコン膜上にスパッタリング装置等をもちいて二酸化ケイ素膜等によるマスク層104を100nm以上の厚さに堆積させ、パターニングにより金属元素添加用開口部105を設け、開口部上方よりニッケル等の金属元素106を非晶質シリコン膜中に導入する。次に図3～図5に示すように、金属元素106を導入後、非晶質シリコン膜上のマスク層104をエッチングにより取り除き、基板全体を550℃の温度で加熱処理する。これにより、被金属元素添加領域に形成された金属元素とシリコンによる合金部分107より注入不純物元素が周辺の非晶質シリコン膜に図3のように拡散し始め、この金属元素がある種の触媒的な働きをするため、不純物金属元素濃度の高い部分を先端にして金属元素高濃度領域110から結晶成長方向109へ非晶質シリコン膜の結晶化が基板表面に沿って図4のように進行して行く。そして結晶性シリコン領域111は図5のように広がり結晶成長端部の金属元素高濃度領域112は図5のように結晶性シリコン領域111の先端にある。

【0021】次に、非晶質シリコン膜の結晶領域111が半導体素子を作製するのに十分な領域まで進行した後、図6のようにこの結晶性シリコン膜を島状にパターニングする。この状態で図7のように結晶性シリコン膜111の表面を酸化する。このときできた酸化膜114の中に結晶性シリコン膜に含まれる金属元素が取り込まれ、金属元素注入領域116、結晶性シリコン領域117、結晶成長端部118はそれぞれ低濃度化する(図8)。この後、酸化膜114を取り込まれた金属元素ごとエッチングにより図9のように完全に取り除くことにより、結晶性シリコン膜中の不純物金属元素濃度が低下する。

【0022】その後、ゲート絶縁膜119、ゲート電極120をこの順に形成して、ゲート電極120をマスクとして結晶性シリコン膜のソース・ドレイン領域122・123にドナー又はアクセプタとなる不純物イオン121を注入、活性化する(図11)。さらにこの後図12のように層間絶縁膜124を堆積させて、図13のようにコンタクトホール125を開口した後、図14のようにソース・ドレイン電極126・127を形成して薄膜トランジスタが完成する。

【0023】尚、本実施例では結晶成長方向と、薄膜ト

ランジスタのキャリアの移動方向とを一致させた場合について図示したが、結晶成長方向と、薄膜トランジスタのキャリアの移動方向とを直交させても、結晶性シリコン膜表面の強制酸化及び、酸化膜のエッチング除去効果に何ら影響を与えない。

【0024】以下の実施例では本発明における結晶性シリコン膜の表面の酸化方法について説明する。

【0025】(実施例2) 上述の実施例1で図1～図6のようにして得られた結晶性シリコン膜111を形成した基板を、加熱設備と石英チューブで構成される熱アニール炉中に保持する。次に熱アニール炉中にN<sub>2</sub>ガス、O<sub>2</sub>ガス、H<sub>2</sub>Oガスを導入し、650℃以下の温度、好ましくは550℃～600℃の温度で1～12時間加熱処理して結晶性シリコン膜の表面を酸化して酸化膜114を形成する。

【0026】(実施例3) 上述の実施例1で図1～図6のようにして得られた結晶性シリコン膜111を、形成した基板を加熱設備と石英チューブで構成される熱アニール炉中に保持する。次に熱アニール炉中に水蒸気あるいは水蒸気を含む窒素を導入し、650℃以下の温度、好ましくは550℃～600℃の温度で1～12時間加熱処理して結晶性シリコン膜の表面を酸化して酸化膜114を形成する。

【0027】(実施例4) 石英水槽に硝酸、亜硝酸、過マンガン酸、クロム酸、塩素酸、次亜塩素酸などのオキソ酸あるいは硝酸、亜硝酸、過マンガン酸、クロム酸、塩素酸、次亜塩素酸などのオキソ酸塩水溶液を用意し、これを常温あるいはヒーターを用いて150℃以下の温度に保つ。次に上述の実施例1で図1～図6のようにして得られた結晶性シリコン膜111を形成した基板を上記オキソ酸あるいはオキソ酸塩水溶液に浸漬して結晶性シリコン膜の表面を酸化して酸化膜114を形成する。

【0028】(実施例5) 石英水槽に濃硫酸を用意し、これを常温あるいはヒーターを用いて150℃以下の温度、好ましくは130℃前後の温度に保つ。次に上述の実施例1で図1～図6のようにして得られた結晶性シリコン膜を形成した基板を濃硫酸に浸漬して結晶性シリコン膜111の表面を酸化して酸化膜114を形成する。

【0029】(実施例6) 上述の実施例1で図1～図6のようにして得られた結晶性シリコン膜を形成した基板を真空排気設備を備え、加熱設備と石英チューブで構成される熱アニール炉中に保持する。次に塩素、臭素などのハロゲンガスを熱アニール炉中に導入し、600℃以下の温度で1～12時間加熱処理して結晶性シリコン膜111の表面を酸化して酸化膜114を形成する。ハロゲンガスの代わりに熱アニール炉中に硝酸ガスを導入した場合は、600℃以下の温度、好ましくは300～350℃の温度で1～12時間加熱処理して結晶性シリコン膜111の表面を酸化して酸化膜114を形成する。

【0030】(実施例7) 上述の実施例1で図1～図6



のようにして得られた結晶性シリコン膜を形成した基板を加熱設備と石英チューブで構成される熱アニール炉中に保持する。次に酸素あるいは酸素を混合したガスを熱アニール炉中に導入し、650℃以下の温度、好ましくは550～600℃の温度で1～12時間加熱処理して結晶性シリコン膜111の表面を酸化して酸化膜114を形成する。

【0031】（実施例8）上述の実施例1で図1～図6の工程により得られた結晶性シリコン膜を形成した基板を平行平板型プラズマCVD装置またはECRCVD装置あるいはマイクロ波プラズマCVD装置のチャンパー内に保持する。次にチャンパー内の圧力を133パスカル程度に保ち、300～350℃の温度で5分～1時間酸素プラズマに基板を晒して結晶性シリコン膜111の表面を酸化して酸化膜114を形成する。

【0032】（実施例9）上述の実施例1で図1～図6のようにして得られた結晶性シリコン膜を形成した基板を高圧容器内の炉中に保持する。次に炉中に25気圧程度の高圧オキシダントあるいは25気圧程度の高圧加熱水蒸気を導入し、650℃以下の温度、好ましくは550～600℃の温度で1～12時間加熱処理して結晶性シリコン膜111の表面を酸化して酸化膜114を形成する。

【0033】（実施例10）上述の実施例1で図1～図6のようにして得られた結晶性シリコン膜を形成した基板を真空排気設備を備え、加熱設備と石英チューブで構成される熱アニール炉中に保持する。次に熱アニール炉中にN<sub>2</sub>Oガス導入し、常圧で500～650℃の温度、好ましくは600℃に保ち、5分～1時間、好ましくは30分程度紫外線ランプにより紫外線を基板に照射して結晶性シリコン膜111の表面を酸化して酸化膜114を形成する。

【0034】本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。本発明による半導体装置の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサ、ドライバ内蔵型サーマルヘッド、有機系EL等を発光素子としたドライバ内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子の高速化、高解像度化等の高性能化が実現される。さらに本発明は、上述の実施例で説明した薄膜トランジスタをはじめとして幅広く半導体プロセス全般に応用することができる。

#### 【0035】

【発明の効果】結晶化を助長する金属元素を非晶質シリコン膜に導入して基板と平行に結晶成長させた結晶性シリコン膜を利用して半導体素子を作製する半導体装置の製造方法において、結晶性シリコン膜の表面を強制的に酸化し、その酸化膜をエッチングして除去することにより、結晶性シリコン膜中の金属元素濃度の低減および結

晶性シリコン膜表面の汚染物質除去が同時に行え、高品質な結晶性シリコン膜を得ることができる。そして、この結晶性シリコン膜を用いて半導体素子を作製することにより、基板全面にわたって高性能で安定した特性の半導体素子を有する半導体装置が実現可能となる。その際、結晶成長方向とキャリアの移動する方向とが平行となるように半導体素子を構成することにより、キャリアの移動が結晶粒界の影響を受けない高移動度を有する半導体装置を得ることができ、結晶成長方向とキャリアの移動する方向とが垂直となるように半導体素子を構成することにより、電界集中領域の粒界部分をなくすことができ、オフ電流の小さい半導体装置を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例における半導体素子の第1工程説明図である。

【図2】本発明の実施例における半導体素子の第2工程説明図である。

【図3】本発明の実施例における半導体素子の第3工程説明図である。

【図4】本発明の実施例における半導体素子の第4工程説明図である。

【図5】本発明の実施例における半導体素子の第5工程説明図である。

【図6】本発明の実施例における半導体素子の第6工程説明図である。

【図7】本発明の実施例における半導体素子の第7工程説明図である。

【図8】本発明の実施例における半導体素子の第8工程説明図である。

【図9】本発明の実施例における半導体素子の第9工程説明図である。

【図10】本発明の実施例における半導体素子の第10工程説明図である。

【図11】本発明の実施例における半導体素子の第11工程説明図である。

【図12】本発明の実施例における半導体素子の第12工程説明図である。

【図13】本発明の実施例における半導体素子の第13工程説明図である。

【図14】本発明の実施例における半導体素子の第14工程説明図である。

【図15】従来の薄膜トランジスタを基板上面から見た場合の平面図である。

【図16】従来の他の薄膜トランジスタを基板上面から見た場合の平面図である。

#### 【符号の説明】

101 ガラス基板

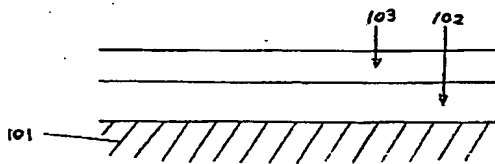
102 ベースコート膜

103 非晶質シリコン膜

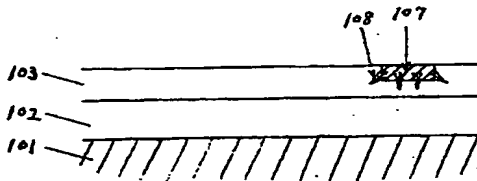
11

- 104 マスク層
- 105 金属元素添加用開口部
- 106 金属元素
- 107 金属-シリコン合金領域
- 108, 115 金属元素の拡散
- 109 結晶成長方向
- 110 金属元素高濃度領域
- 111 結晶性シリコン領域
- 112 結晶成長端部の金属元素高濃度領域
- 113 酸化前の結晶性シリコン膜表面
- 114 酸化膜
- 116 低濃度化した金属元素注入領域
- 117 低濃度化した結晶性シリコン領域
- 118 低濃度化した結晶成長端部

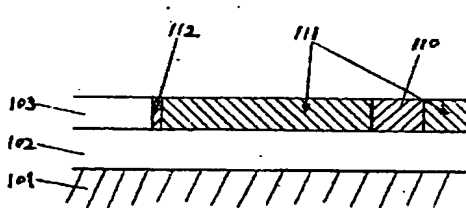
【図1】



【図3】



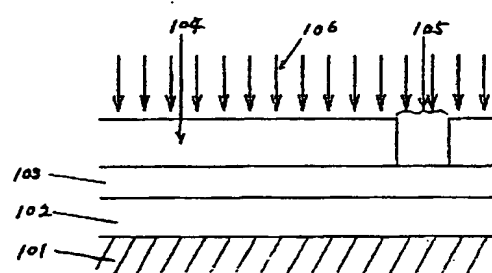
【図5】



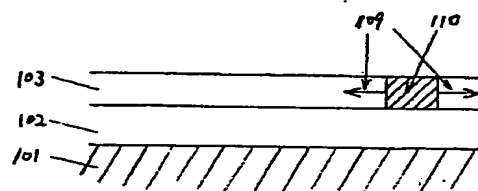
12

- 119 ゲート絶縁膜
- 120 ゲート電極
- 121 不純物イオン
- 122, 123 ソース・ドレイン領域
- 124 層間絶縁膜
- 125 コンタクトホール
- 126, 127 ソース・ドレイン電極
- 200 金属元素添加用窓
- 201 金属元素添加領域
- 10 202 結晶成長方向
- 203 結晶成長部分
- 204 ソース領域
- 205 チャネル領域
- 206 ドレイン領域

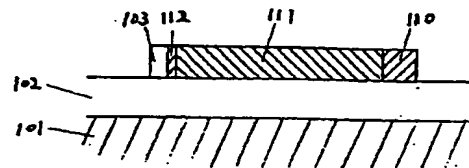
【図2】



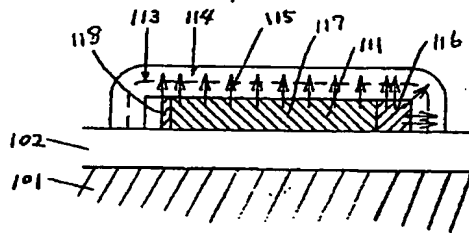
【図4】



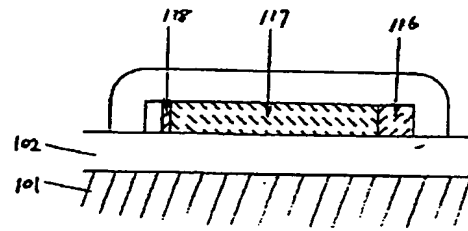
【図6】



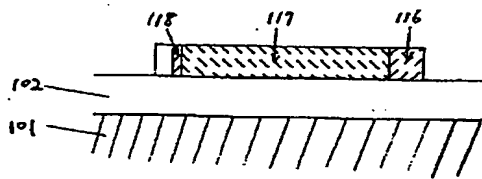
【図 7】



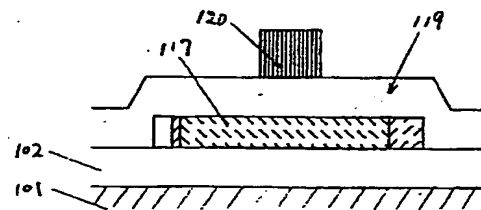
【図 8】



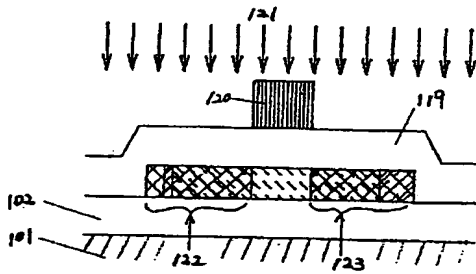
【図 9】



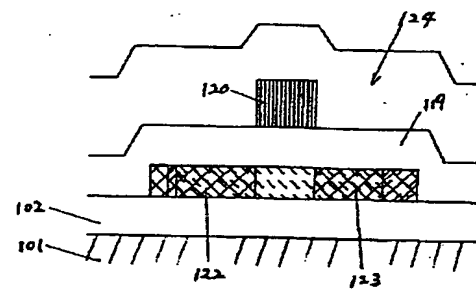
【図 10】



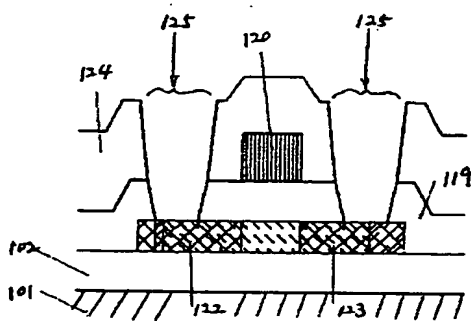
【図 11】



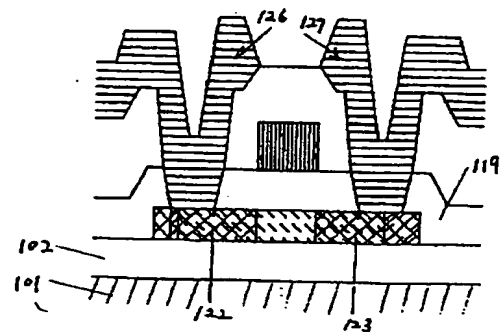
【図 12】



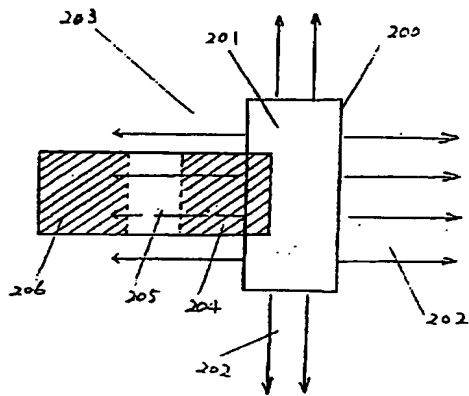
【図 13】



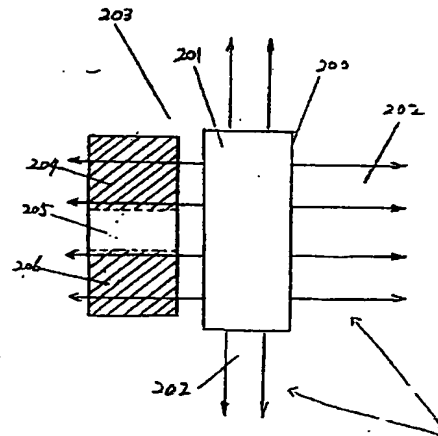
【図 14】



【図 1 5】



【図 1 6】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

H 0 1 L 21/316

識別記号

庁内整理番号

F I

技術表示箇所

Y 7352-4M

S 7352-4M

29/786

21/336

(72) 発明者 森田 達夫

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内